

NOTICE OF GROUNDS FOR REJECTION

Patent Application Serial No. Hei 9-243057

Drafted Date: August 12, 2002

[...]

References Cited:

1. Japanese Patent Laid-Open Publication NO. Hei 08-062637

2. Japanese Patent Laid-Open Publication NO. Hei 08-264802

NOTE

References 1, 2

Remarks:

Each of References 1 and 2 describes a feature of forming a plurality of channels such that they are spaced with respect to each other.

[...]

拒絶理由通知書

特許出願の番号 平成 9 年 特許願 第 2 4 3 0 5 7 号
起案日 平成 1 4 年 8 月 1 2 日
特許庁審査官 井口 猶二 9 1 1 9 2 X 0 0
特許出願人代理人 芝野 正雅 様
適用条文 第 2 9 条第 2 項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 6 0 日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 2 9 条第 2 項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1
- ・引用文献等 1、2
- ・備考

各引用文献 1、2 には、複数のチャンネルが互いに離間されて形成されている点が記載されている。

引 用 文 献 等 一 覧

1. 特開平 0 8 - 0 6 2 6 3 7 号公報
2. 特開平 0 8 - 2 6 4 8 0 2 号公報

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

- DB名

- 特許審査第一部光デバイス (光制御) 井口 猶二
TEL. 03(3581)1101内線3295 FAX. 03(3580)6902

DRIVING CIRCUIT OF ACTIVE MATRIX TYPE DISPLAY DEVICE AND ITS PRODUCTION

Patent Number: JP8062637
Publication date: 1996-03-08
Inventor(s): KOYAMA JUN; KAWASAKI YUJI
Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD
Requested Patent: ☐ JP8062637
Application Number: JP19950120676 19950420
Priority Number(s):
IPC Classification: G02F1/136; G02F1/133; G02F1/1345; G09F9/30; G09G3/36; H01L29/786; H01L21/336
EC Classification:
Equivalents: JP3101178B2

Abstract

PURPOSE: To make it possible to lessen unequal display of pixels by constituting this driving circuit of plural source followers connected in parallel with analog buffers.

CONSTITUTION: Control signals for data holding are connected to the plural source followers connected in parallel. Further, the source followers are connected by a parallel connection method of combining the source followers which are subjected to just one time of irradiation with a laser and the source followers which are subjected to two times of the irradiation. The width L of the irradiation with the laser beam source for the purpose of laser crystallization is set wider than the spacing (d) of the source followers and at integer (n) times (≥ 3) the spacing (d) of the source followers. The width L of the irradiation with the laser beam source may be set to have some allowance. Namely, alignment may be provided with the allowance by setting the width at $L + \Delta$. The number of the source followers to be connected in parallel is set at ≥ 2 and $\leq (n-1)$. Then, the variation in the threshold voltage of thin-film transistors is suppressed to a lower level by combining the source followers varying in the number of the irradiation times, by which the variation in characteristics is suppressed.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-62637

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0		
	1/133	5 5 0		
	1/1345			
		9056-4M	H 0 1 L 29/ 78	6 1 2 B
		9056-4M		6 2 7 F
審査請求 未請求 請求項の数12 F D (全 16 頁) 最終頁に続く				

(21) 出願番号 特願平7-120676

(22) 出願日 平成7年(1995)4月20日

(31) 優先権主張番号 特願平6-107573

(32) 優先日 平6(1994)4月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 河崎 祐司

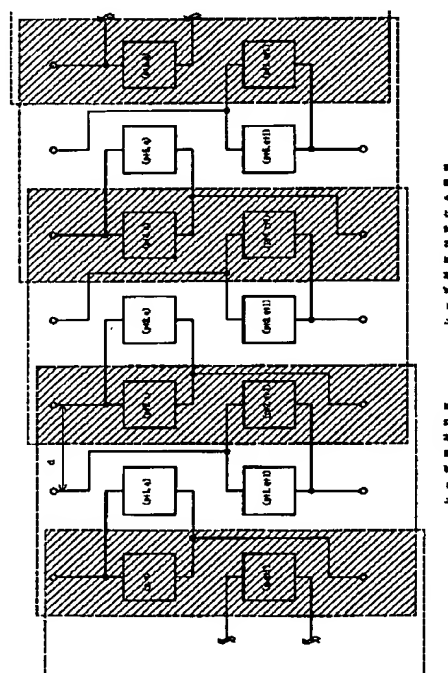
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス型表示装置の駆動回路及びその製造方法

(57) 【要約】

【目的】 アクティブマトリクス表示装置において、画素の表示むらを低減するための方法を提供する。

【構成】 アクティブマトリクス表示装置の駆動回路に関し、駆動回路のアナログバッファを並列接続された複数のソースフォロワで構成する。このことにより、アナログバッファの薄膜トランジスタのしきい値のばらつきが小さくなり、それに伴い液晶パネルの透過率のばらつきも小さくなり、画面のむらを防止する。



【特許請求の範囲】

【請求項1】 アナログスイッチ及び、コンデンサから構成されるアナログメモリと、薄膜トランジスタで形成したアナログバッファから構成されたアクティブマトリクス型表示装置の駆動回路において、前記アナログバッファが並列接続された複数のソースフォロワで構成されていることを特徴としているアクティブマトリクス型表示装置の駆動回路。

【請求項2】 請求項1において、前記アクティブマトリクス型表示装置の駆動回路の製造工程において、レーザ結晶化工程を含むことを特徴とするアクティブマトリクス型表示装置の駆動回路。

【請求項3】 請求項2において、 n を3以上の自然数として、ソースフォロワの間隔 d とレーザ照射幅 L とは、 $L = nd$ の関係にあることを特徴とするアクティブマトリクス型表示装置の駆動回路。

【請求項4】 請求項3において、レーザ照射の進行方向に対して平行な方向に並んだ前記ソースフォロワを2個以上 n 個以下並列接続したことを特徴とするアクティブマトリクス型表示装置の駆動回路。

【請求項5】 請求項3において、前記ソースフォロワを $(n-1)$ 個並列接続し、そのうち1個のソースフォロワのみは、他のソースフォロワとレーザ照射された回数が異なることを特徴とするアクティブマトリクス型表示装置の駆動回路。

【請求項6】 請求項4において、並列接続されたソースフォロワは、レーザ照射された回数の異なるものを組み合わせて並列接続されたことを特徴とするアクティブマトリクス型表示装置の駆動回路。

【請求項7】 請求項3において、ソースフォロワを1行 m 列の行列状に配置し、 p 、 q 、 u 、 v を次のような自然数とする。

$$1 < p < l, 1 < q < m, 0 < u < (l-1), 0 < v < (m-1)$$

このとき、ソースフォロワ (p, q) 、 $(p+1, q+1)$ 、 $—(p+u, q+v)$ を並列接続したことを特徴とするアクティブマトリクス型表示装置の駆動回路。

【請求項8】 アナログスイッチ及びコンデンサから成るアナログメモリと、薄膜トランジスタで形成したアナログバッファとを要素として有するアクティブマトリクス型表示装置の製造方法において、レーザ結晶化工程を含み、かつレーザ照射の幅 L は前記アナログバッファの幅 d の整数 n 倍であることを特徴とするアクティブマトリクス型表示装置の製造方法。

【請求項9】 請求項8において、前記レーザ結晶化工程において、レーザ照射時の重複部分の長さは、 d の整数倍であることを特徴とするアクティブマトリクス型表示装置の製造方法。

【請求項10】 請求項8において、前記レーザ結晶化工程において、レーザ光の波長は308nmまたは24

8nmであることを特徴としたアクティブマトリクス型表示装置の製造方法。

【請求項11】 請求項10において、前記レーザ結晶化工程において、レーザ照射前のシリコン膜は固相成長法によって結晶化した膜であることを特徴としたアクティブマトリクス型表示装置の製造方法。

【請求項12】 請求項11において、レーザ照射前の前記シリコン膜は非結晶性の膜としたことを特徴とするアクティブマトリクス型表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタにより構成されたアクティブマトリクス型表示装置の駆動回路に関し、特にソースフォロワをアナログバッファとして備え、その特性のばらつきを小さく抑えたアクティブマトリクス型表示装置の駆動回路に関する。

【0002】

【従来の技術】アクティブマトリクス型の表示装置とは、マトリクスの各交差部に画素が配置され、全ての画素にはスイッチング用の素子が設けられており、画像情報はスイッチング素子のオン・オフによって制御されるものをいう。このような表示装置の表示媒体としては液晶、プラズマ、その他、電気的に光学特性（反射率、屈折率、透過率、発光強度等）を変化させることが可能な物体、状態を用いる。本発明ではスイッチング素子として、特に三端子素子、すなわち、ゲート、ソース、ドレインを有する電界効果型トランジスタを用いる。

【0003】また、本発明の記述においては、マトリクスにおける行とは、当該行に平行に配置された信号線（ゲート線）が当該行のトランジスタのゲート電極に接続されているものを言い、列とは、当該列に平行に配置された信号線（ソース線）が当該列のトランジスタのソース（もしくはドレイン）電極に接続されているものを言う。さらに、ゲート線を駆動する回路をゲート駆動回路、ソース線を駆動する回路をソース駆動回路と称する。前記ゲート駆動回路ではアクティブマトリクス型表示装置の垂直方向走査タイミングの信号を発生するため、垂直方向のゲート線数のシフトレジスタが1列に直列に接続している。このようにして、該ゲート駆動回路でアクティブマトリクス型表示装置内の薄膜トランジスタのスイッチングを行なっている。

【0004】前記ソース駆動回路ではアクティブマトリクス型表示装置の表示する画像データの水平方向画像データを表示させるため、水平方向のソース線数のシフトレジスタが1列に直列に接続している。また水平走査信号に同期したラッチパルスで前記アナログスイッチをオン・オフする。このようにして、該ソース駆動回路でアクティブマトリクス型表示装置内の薄膜トランジスタに電流を流し、液晶セルの配向をコントロールしている。

図9に従来のアクティブマトリクス型表示装置の概略図

3

を示す。多結晶シリコン薄膜トランジスタの製造工程については、高温プロセスと低温プロセスの2種類の製造方法がある。高温プロセスの場合、石英基板上の絶縁膜上に多結晶シリコンを成膜し、そして、ゲイト絶縁膜に熱酸化 SiO_2 膜を成膜する。その後、ゲイト電極を形成し、NイオンまたはPイオンを打ち込みを行い、ソース・ドレイン電極を形成し、多結晶シリコン薄膜トランジスタを製造する。

【0005】低温プロセスでは、シリコンの結晶化の方法として、固相成長法とレーザ・アニール法の2種類があり、第一に固相成長法は、ガラス基板上の絶縁膜上のアモルファスシリコン膜に600℃で20時間の熱処理を加えることで、多結晶シリコン膜を得ることができ、第二にレーザ・アニール法は、ガラス基板表面のアモルファスシリコンにレーザを照射し、膜表面だけを高温で熱処理することによって、多結晶シリコン膜を得ることができる。一般には、この方法のいずれかまたは両方を使用して結晶化をはかる。そして、ゲイト絶縁膜にはプラズマCVD法で SiO_2 膜を成膜する。その後、ゲイト電極を形成し、NイオンまたはPイオンを打ち込みを行い、ソース・ドレイン電極を形成し、多結晶シリコン薄膜トランジスタを製造する。

【0006】前記ソース線駆動回路は、アクティブマトリクス型表示装置のアクティブマトリクスパネルに画像データを垂直方向に走査するための回路で、シフトレジスタと、薄膜トランジスタで形成されるアナログスイッチと、コンデンサで構成されるアナログメモリと、薄膜トランジスタで形成されるアナログバッファから構成されている。

【0007】ソース線は負荷容量が大きいので前記アナログメモリでアクティブマトリクス型表示装置内の薄膜トランジスタを直接駆動できないため、アナログバッファが必要とされる。前記アナログバッファは薄膜トランジスタをソースフォロワで形成し、図6に示すように1本のデータ保持用の制御信号の配線に対して、1つの薄膜トランジスタが単独で一定間隔に配置製造されている。図6aはNチャンネル型の例であるが、図6bのようにPチャンネル型もしくは両方を用いてもよい。

【0008】

【発明が解決しようとする課題】従来のアクティブマトリクス型表示装置のソース線駆動回路を構成するアナログバッファは、次のような課題があった。前記アナログバッファは、薄膜トランジスタをソースフォロワで単独に接続して形成している。前述したように、結晶化の手段の1つとしてレーザ・アニール法を使用する場合、大型基板を一括照射で処理できる大口径レーザ装置がないため、前記薄膜トランジスタ製造工程でガラス基板上のシリコンをレーザ結晶化する際、図7aに示すように、帯状の幅Lのレーザ光源をX軸方向に水平にシリコン上に照射していく。レーザ光源はX軸方向に一定の間隔で

4

移動して照射をする際、レーザ処理の重なり部分が出てしまう。レーザ光源の照射の帯の幅Lが図7bに示す前記ソースフォロワの間隔dと必ずしも一致しないため、レーザ結晶化工程時にシリコンの場所により照射されるレーザの光量が異なる。

【0009】そのため、シリコンから製造される前記薄膜トランジスタに場所的ばらつきが生じ特性も異なり、図8に示すように薄膜トランジスタのしきい値電圧 V_{th} は、X軸の値の変化に対してある範囲 V_{th1} から V_{th2} で変化する。レーザが重複している場所ではしきい値電圧 V_{th} は下がり、重複していない場所では上がる。これによって、ソースフォロワの出力電圧も高低のばらつきを生ずることになり、そのばらつきがそのまま液晶素子の印加電圧のばらつきとなってしまふ。

【0010】図11にノーマリホワイトの液晶表示素子の透過率、印加電圧の特性を示す。このように液晶素子に加わる印加電圧のばらつきは、その幅 ΔV_{th} の分だけ透過率のばらつきとなってしまふ。

【0011】以上のことから、前記ソース線駆動回路は場所によって出力電圧が異なり、アクティブマトリクス型表示装置の画素の表示むらの原因となっている。

【0012】

【課題を解決するための手段】上述の課題を解決するため、本発明は次に示す手段を施す。従来は、1本のデータ線に対するデータ保持用の制御信号に1個のアナログバッファが配置されていたのに対して、本発明では、データ保持用の制御信号を並列接続した複数のソースフォロワに接続したことを特徴とする。さらに、ソースフォロワの並列接続の仕方として、レーザ照射を1度しか受けないものと、2度受けたものを組み合わせて接続することを特徴とする。レーザ結晶化のためのレーザ光源の照射の幅Lは、ソースフォロワの間隔dより広く、かつ前記ソースフォロワの間隔dの整数n倍(3以上)にすることを特徴とする。なお、上記レーザ光源の照射の幅Lの設定は、多少の余裕を持って設定してもよい。即ち、 $L + \Delta L$ と設定し、位置合わせに余裕を持たせてもよい。

【0013】また、並列接続するソースフォロワの個数は2以上(n-1)以下とすることを特徴とする。照射回数の異なるものを組み合わせることによって、薄膜トランジスタのしきい値電圧のばらつきを小さく抑えることができる。ここでは、ソースフォロワの間隔とレーザ照射の幅について述べたが、一般には画素の間隔とソースフォロワの間隔は等しいため、上記のソースフォロワの間隔を画素の間隔と言い換えることができる。

【0014】

【実施例】以下、本発明の実施例を説明する。図1は本発明の第1の実施例の回路図であり、レーザ光の進行方向と平行にソースフォロワを2個ずつ並列接続した例である。ソースフォロワの間隔をdとし、レーザ光線の照

5

射幅を $L=3d$ とする。ソースフォロワの行列を $(1, m)$ と記述するとき、最初に、最左側の点線で示す矩形内のソースフォロワ (p, q) 、ソースフォロワ $(p+1, q)$ 、ソースフォロワ $(p+2, q)$ 、ソースフォロワ $(p, q+1)$ 、ソースフォロワ $(p+1, q+1)$ 、及びソースフォロワ $(p+2, q+1)$ にレーザー光が照射される。なお、ここでは予めソースフォロワ (p, q) 、ソースフォロワ $(p+1, q)$ にはレーザー光が1回照射されている。

【0015】次にレーザー光は右方に移動して、中央の点線で示す矩形内のソースフォロワ $(p+2, q)$ 、ソースフォロワ $(p+3, q)$ 、ソースフォロワ $(p+4, q)$ 、ソースフォロワ $(p+2, q+1)$ 、ソースフォロワ $(p+3, q+1)$ 、及びソースフォロワ $(p+4, q+1)$ に照射される。更に、レーザー光は右方に移動し、最右側の点線で示す矩形内のソースフォロワ $(p+4, q)$ 、ソースフォロワ $(p+5, q)$ 、ソースフォロワ $(p+6, q)$ 、ソースフォロワ $(p+4, q+1)$ 、ソースフォロワ $(p+5, q+1)$ 、ソースフォロワ $(p+6, q+1)$ に照射される。

【0016】このような照射を行うと、斜線で示す領域内のソースフォロワ (p, q) 、ソースフォロワ $(p, q+1)$ 、ソースフォロワ $(p+2, q)$ 、ソースフォロワ $(p+2, q+1)$ 、ソースフォロワ $(p+4, q)$ 、ソースフォロワ $(p+4, q+1)$ 、ソースフォロワ $(p+6, q)$ 、及びソースフォロワ $(p+6, q+1)$ はレーザー光が2回照射されることになるため、しきい値電圧は図8に示すように V_{th1} になる。

【0017】他方、白抜きの領域内のソースフォロワ $(p+1, q)$ 、ソースフォロワ $(p+1, q+1)$ 、ソースフォロワ $(p+3, q)$ 、ソースフォロワ $(p+3, q+1)$ 、ソースフォロワ $(p+5, q)$ 、ソースフォロワ $(p+5, q+1)$ はそれぞれ、レーザー光が1回のみ照射されるため、しきい値電圧は図8に示すように V_{th2} になる。

【0018】このように、しきい値電圧が互いに異なる2種類のソースフォロワがレーザー光の進行方向に対して交互、または複数個毎に作製されることになる。

【0019】一般に、レーザー結晶化工程において、レーザー光が照射されない領域がないようにするために、レーザー光を1回前の照射領域と重なるように照射している。

【0020】そこで、本実施例では、レーザー光の照射の幅 L をソースフォロワの幅 d の整数倍($L=3d$)、または概略整数倍とする。このようにして、レーザー光の照射領域の重複部分の長さをソースフォロワの幅 d の整数倍(d)とすることで、レーザー光の照射量の異なるソースフォロワをレーザー光線の移動方向に対して、規則的に配列して作製できる。

【0021】図1に示す回路配置においては、ソースフォロワ (p, q) とソースフォロワ $(p+1, q)$ 、ソ

6

ースフォロワ $(p+2, q)$ とソースフォロワ $(p+3, q)$ 、ソースフォロワ $(p+4, q)$ とソースフォロワ $(p+5, q)$ 、ソースフォロワ $(p+1, q+1)$ とソースフォロワ $(p+2, q+1)$ 、ソースフォロワ $(p+3, q+1)$ とソースフォロワ $(p+4, q+1)$ 、ソースフォロワ $(p+5, q+1)$ とソースフォロワ $(p+6, q+1)$ がそれぞれ並列に接続されている。

【0022】このような接続をした状態において、上述したようなレーザー光の照射を行うと、しきい値電圧が V_{th1} のソースフォロワと V_{th2} のソースフォロワとがそれぞれ1個ずつ並列に接続された状態が得られる。このような構成とすることで、ソースフォロワ全体の特性が平均化され、レーザー照射により生じた特性のばらつきを軽減することができる。

【0023】図2は本発明の第2の実施例の回路図であり、レーザー光の進行方向に対して、ソースフォロワを3個並列接続した例である。この例では、ソースフォロワの間隔を d とし、レーザー光線の照射幅を $L=4d$ とする。先ず、ある所定のレーザー光の照射によって、レーザー光がソースフォロワ (p, q) 、ソースフォロワ $(p+1, q)$ 、ソースフォロワ $(p+2, q)$ 、ソースフォロワ $(p+3, q)$ 、ソースフォロワ $(p, q+1)$ 、ソースフォロワ $(p+1, q+1)$ 、ソースフォロワ $(p+2, q+1)$ 、ソースフォロワ $(p+3, q+1)$ 、ソースフォロワ $(p, q+2)$ 、ソースフォロワ $(p+1, q+2)$ 、ソースフォロワ $(p+2, q+2)$ 、ソースフォロワ $(p+3, q+2)$ に照射される。

【0024】ここで、ソースフォロワ (p, q) 、ソースフォロワ $(p, q+1)$ 、ソースフォロワ $(p, q+2)$ には、1段階前のレーザー光の照射において、レーザー光が照射されているので、この3つのソースフォロワには、2回目のレーザー光の照射が行われることとなる。

【0025】次にレーザー光が1段階移動して、レーザー光の照射が行われる。すると、ソースフォロワ $(p+3, q)$ 、ソースフォロワ $(p+4, q)$ 、ソースフォロワ $(p+5, q)$ 、ソースフォロワ $(p+6, q)$ 、ソースフォロワ $(p+3, q+1)$ 、ソースフォロワ $(p+4, q+1)$ 、ソースフォロワ $(p+5, q+1)$ 、ソースフォロワ $(p+6, q+1)$ 、ソースフォロワ $(p+3, q+2)$ 、ソースフォロワ $(p+4, q+2)$ 、ソースフォロワ $(p+5, q+2)$ 、及びソースフォロワ $(p+6, q+2)$ にレーザー光が照射されることとなる。

【0026】それにより、ソースフォロワ $(p+3, q)$ 、ソースフォロワ $(p+3, q+1)$ 、ソースフォロワ $(p+3, q+2)$ には、2回目のレーザー光の照射が行われることとなる。

【0027】そして、次に段階のレーザー光の照射が行われることにより、ソースフォロワ $(p+6, q)$ 、ソ

7

スフォロワ ($p+6, q+1$)、ソースフォロワ ($p+6, q+2$) に2回目のレーザ光の照射が行われることになる。

【0028】2回目のレーザ光の照射が行われたソースフォロワでは、しきい値電圧は図8に示すように V_{thL} になる。

【0029】一方、1回したレーザ光の照射が行われなかったソースフォロワ ($p+1, q$)、ソースフォロワ ($p+2, q$)、ソースフォロワ ($p+1, q+1$)、ソースフォロワ ($p+2, q+1$)、ソースフォロワ ($p+1, q+2$)、ソースフォロワ ($p+2, q+2$)、ソースフォロワ ($p+4, q$)、ソースフォロワ ($p+5, q$)、ソースフォロワ ($p+4, q+1$)、ソースフォロワ ($p+5, q+1$)、ソースフォロワ ($p+4, q+2$)、ソースフォロワ ($p+5, q+2$) は、図8に示すようにしきい値電圧が V_{thH} になる。

【0030】ここでは、図の点線で示される領域に1回のレーザ光の照射を行い、それを一部が重なるようにして照射していく例を示す。しかし、1か所に複数回のレーザ光が照射されるようにしてもよい。ただしその回数は定めたものとする必要がある。

【0031】図2に示すように、ソースフォロワ (p, q) とソースフォロワ ($p+1, q$) とソースフォロワ ($p+2, q$)、ソースフォロワ ($p+3, q$) とソースフォロワ ($p+4, q$) とソースフォロワ ($p+5, q$)、ソースフォロワ ($p+1, q+1$) とソースフォロワ ($p+2, q+1$) とソースフォロワ ($p+3, q+1$)、ソースフォロワ ($p+4, q+1$) とソースフォロワ ($p+5, q+1$) とソースフォロワ ($p+6, q+1$)、ソースフォロワ ($p+2, q+2$) とソースフォロワ ($p+3, q+2$) とソースフォロワ ($p+4, q+2$) というような組み合わせで、3個のソースフォロワを並列接続することにより、2回レーザ照射を受けたソースフォロワが1個と、1回レーザ照射を受けたソースフォロワ2個とを並列に接続した構成とすることができる。そしてこのような構成とすることによって、すべての組のソースフォロワの特性を均一化し、レーザ照射によって生じた特性のばらつきを抑制することができる。

【0032】図3は本発明の第3の実施例の回路図であり、レーザ光の進行方向に対して、ソースフォロワを1個おきにとばして2個ずつ並列接続した例である。本実施例では、図2に示す第2の実施例と同様に、ソースフォロワの間隔を d とし、レーザ光線照射の幅 L を $L=4d$ として、照射領域が幅 d だけ重複するように、レーザ光を照射する。

【0033】まず、ソースフォロワ (p, q)、ソースフォロワ ($p, q+1$) には、レーザ光が照射された状態とする。そして、レーザ光がソースフォロワ ($p,$

8

q)、ソースフォロワ ($p+1, q$)、ソースフォロワ ($p+2, q$)、ソースフォロワ ($p+3, q$)、ソースフォロワ ($p, q+1$)、ソースフォロワ ($p+1, q+1$)、ソースフォロワ ($p+2, q+1$)、ソースフォロワ ($p+3, q+1$) に照射される。

【0034】次にレーザ光は移動して、ソースフォロワ ($p+3, q$)、ソースフォロワ ($p+4, q$)、ソースフォロワ ($p+5, q$)、ソースフォロワ ($p+6, q$)、ソースフォロワ ($p+3, q+1$)、ソースフォロワ ($p+4, q+1$)、ソースフォロワ ($p+5, q+1$)、ソースフォロワ ($p+6, q+1$) にレーザ光が照射される。

【0035】次にレーザ光は移動して、ソースフォロワ ($p+6, q$)、ソースフォロワ ($p+6, q+1$) にレーザ光が照射される。

【0036】ここで、ソースフォロワ (p, q)、ソースフォロワ ($p, q+1$)、ソースフォロワ ($p+3, q$)、ソースフォロワ ($p+3, q+1$)、ソースフォロワ ($p+6, q$)、ソースフォロワ ($p+6, q+1$) には、2回レーザ光が照射されるため、しきい値電圧は図8に示すように V_{thL} になる。

【0037】一方、ソースフォロワ ($p+1, q$)、ソースフォロワ ($p+2, q$)、ソースフォロワ ($p+1, q+1$)、ソースフォロワ ($p+2, q+1$)、ソースフォロワ ($p+4, q$)、ソースフォロワ ($p+5, q$)、ソースフォロワ ($p+4, q+1$)、ソースフォロワ ($p+5, q+1$) には、レーザ光が1回した照射されないため、しきい値電圧は図8に示すように V_{thH} になる。

【0038】図3に示すようにして、ソースフォロワ (p, q) とソースフォロワ ($p+2, q$)、ソースフォロワ ($p+1, q$) とソースフォロワ ($p+3, q$)、ソースフォロワ ($p+4, q$) とソースフォロワ ($p+6, q$)、ソースフォロワ ($p, q+1$) とソースフォロワ ($p+2, q+1$)、ソースフォロワ ($p+1, q+1$) とソースフォロワ ($p+3, q+1$)、ソースフォロワ ($p+4, q+1$) とソースフォロワ ($p+6, q+1$) というような組み合わせで2個のソースフォロワを1個おきに並列接続することで、全ての並列回路において、2個のうちいずれか1個のソースフォロワが2回のレーザ照射を受け、他の1個が1回レーザ照射を受けているような組み合わせを実現することができる。図3に示す構成の等価回路は図1に示す構成と同じであり、図1に示す配置とした場合と同様の効果を図3に示す構成を採用した場合も得ることができる。

【0039】図4は本発明の第4の実施例の回路図であり、レーザの進行方向に対して、ソースフォロワを斜めに2個並列接続した例である。図1に示す第1の実施例と同様に、ソースフォロワ間隔を d として、レーザ光線の照射幅 L を $L=3d$ としてレーザ光を照射する。

9

【0040】従って、ソースフォロワ(p, q)、ソースフォロワ(p, q+1)、ソースフォロワ(p+2, q)、ソースフォロワ(p+2, q+1)、ソースフォロワ(p+4, q)、ソースフォロワ(p+4, q+1)、ソースフォロワ(p+6, q)、及びソースフォロワ(p+6, q+1)にはレーザ光が2回照射されることになるため、しきい値電圧は図8に示すように V_{thL} になる。

【0041】他方、ソースフォロワ(p+1, q)、ソースフォロワ(p+1, q+1)、ソースフォロワ(p+3, q)、ソースフォロワ(p+3, q+1)、ソースフォロワ(p+5, q)、ソースフォロワ(p+5, q+1)はそれぞれ、レーザ光が1回のみ照射されるため、しきい値電圧は図8に示すように V_{thH} になる。

【0042】図4に示すように、ソースフォロワ(p, q)とソースフォロワ(p+1, q+1)、ソースフォロワ(p+1, q)とソースフォロワ(p+2, q+1)、ソースフォロワ(p+2, q)とソースフォロワ(p+3, q+1)、ソースフォロワ(p+3, q)とソースフォロワ(p+4, q+1)、ソースフォロワ(p+4, q)とソースフォロワ(p+5, q+1)、ソースフォロワ(p+5, q)とソースフォロワ(p+6, q+1)とを並列接続すると、これらの並列回路は図1に示す第1の実施例の並列回路と接続のパターンが異なるが、回路的には等価であるで、同じ効果を得ることができる。

【0043】図5は本発明の第5の実施例の回路図であり、ソースフォロワを斜めに3個並列接続した例である。本実施例では、図2に示す第2の実施例と同様に、ソースフォロワの間隔をdとし、レーザ光線照射の幅Lを $L=4d$ として、照射領域が幅dだけ重複するように、レーザ光を照射する。

【0044】従って、ソースフォロワ(p, q)、ソースフォロワ(p, q+1)、ソースフォロワ(p, q+2)、ソースフォロワ(p+3, q)、ソースフォロワ(p+3, q+1)、ソースフォロワ(p+3, q+2)、ソースフォロワ(p+6, q)、ソースフォロワ(p+6, q+1)、ソースフォロワ(p+6, q+2)には、2回レーザ光が照射されるため、しきい値電圧は図8に示すように V_{thL} になる。

【0045】一方、ソースフォロワ(p+1, q)、ソースフォロワ(p+2, q)、ソースフォロワ(p+1, q+1)、ソースフォロワ(p+2, q+1)、ソースフォロワ(p+1, q+2)、ソースフォロワ(p+2, q+2)、ソースフォロワ(p+4, q)、ソースフォロワ(p+5, q)、ソースフォロワ(p+4, q+1)、ソースフォロワ(p+5, q+1)、ソースフォロワ(p+4, q+2)、ソースフォロワ(p+5, q+2)は1回のみレーザ光が照射されるため、しきい値電圧は図8に示すように V_{thH} になる。

10

【0046】図5に示すようにして、ソースフォロワ(p, q)とソースフォロワ(p+1, q+1)とソースフォロワ(p+2, q+2)、ソースフォロワ(p+1, q)とソースフォロワ(p+2, q+1)とソースフォロワ(p+3, q+2)、ソースフォロワ(p+2, q)とソースフォロワ(p+3, q+1)とソースフォロワ(p+4, q+2)、ソースフォロワ(p+3, q)とソースフォロワ(p+4, q+1)とソースフォロワ(p+5, q+2)、ソースフォロワ(p+4, q)とソースフォロワ(p+5, q+1)とソースフォロワ(p+6, q+2)というような組み合わせで3個のソースフォロワを並列接続すると、これらの回路は図2に示す第2の実施例と同様に、3個のソースフォロワのうち1個が2回レーザ照射を受け、他の2個が1回レーザ照射を受けているという組み合わせとすることができる。そして、第2の実施例と同じ効果を得ることができる。

【0047】以下に、薄膜トランジスタを利用して構成されたソースフォロワの例についてその作製工程を図10を用いて説明する。ここでは相補型インバータ回路を例にとる。

【0048】まず、ガラス基板(コーニング7059等の低アルカリガラスまたは石英ガラス等を使用する。)上に下地酸化膜として厚さ1000~3000Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法を使用した。しかし、より量産性を高めるには、TEOSをプラズマCVD法で分解・堆積した膜を用いてもよい。

【0049】その後、プラズマCVD法やLPCVD法によって非晶質珪素膜を300~5000Å、好ましくは500~1000Å堆積し、これを、550~600℃の還元雰囲気中に4~48時間放置して、結晶化せしめた。この工程の後に、レーザ照射によっておこなって、さらに結晶化の度合いを高めた。また、レーザ光源は308nmまたは248nmの波長光を発するものを使用した。そして、このようにして結晶化させた珪素膜をパターンニングして島状領域1、2を形成した。さらに、この上にスパッタ法によって厚さ700~1500Åの酸化珪素膜3を形成した。

【0050】その後、厚さ1000Å~3μmのアルミニウム(1wt%のSi、もしくは0.1~0.3wt%のSc(スカンジウム)を含む)膜を電子ビーム蒸着法、もしくはスパッタ法によって形成した。そして、フォトリソ(例えば、東京応化製、OFPR800/30cp)をスピンコート法によって形成した。なお、フォトリソの形成前に、陽極酸化法によって厚さ100~1000Åの酸化アルミニウム膜を表面に形成しておく、フォトリソとの密着性が良くなると共に、フォトリソからの電流のリークを抑制することにより、後述する陽極酸化工程において、多孔質陽極酸

11

化物を側面のみに形成するうえで有効であった。その後、フォトレジストとアルミニウム膜をパターンニングして、アルミニウム膜と一緒にエッチングし、ゲイト電極4、5及びマスク膜6、7とした。(図10a)

【0051】さらに、これに電解液中で電流を通じて陽極酸化し、厚さ3000~6000Å、例えば、厚さ5000Åの陽極酸化物を形成した。陽極酸化は、3~20%のクエン酸もしくはショウ酸、燐酸、クロム酸、硫酸等の酸性水溶液を用いておこない、10~30Vの一定電流をゲイト電極に印加すればよい。本実施例では、
10 シュウ酸溶液(30℃)中で電圧を10Vとし、20~40分、陽極酸化した。なお、陽極酸化物の厚さは陽極酸化時間によって制御した。(図10b)

【0052】次に、マスクを除去し、再び電解溶液中において、ゲイト電極に電流を印加した。本実施例では、3~10%の酒石液、硼酸、硝酸が含まれたエチレングルコール溶液を用いた。溶液の温度は10℃前後の室温より低い方が良好な酸化膜が得られた。このため、ゲイト電極の上面および側面にバリヤ型の陽極酸化物10、
11が形成された。陽極酸化物10、11の厚さは印加電圧に比例し、例えば、印加電圧が150Vでは2000Åの陽極酸化物が形成された。陽極酸化物10、11の厚さは必要とされるオフセットの大きさによって決定した。3000Å以上の厚さの陽極酸化物を得るには250V以上の高電圧を印加するが必要であるが、薄膜トランジスタの特性に悪影響を及ぼすので、3000Å以下の厚さとすることが好ましい。本実施例では、印加電圧を80~150Vまで上昇させ、必要とする陽極酸化膜10、11の厚さによって電圧を選択した。

【0053】注目すべきは、バリヤ型の陽極酸化が後の工程であるにもかかわらず、多孔質の陽極酸化物の外側にバリヤ型の陽極酸化物ができるのではなく、バリヤ型の陽極酸化物10、11は多孔質陽極酸化物8、9とゲイト電極4、5の間に形成されることである。そして、ドライエッチング法(もしくはウェットエッチング法)によって絶縁膜3をエッチングした。このエッチング深さは任意であり、下に存在する活性層が露出するまでエッチングをおこなっても、その途中でとめてもよい。しかし、量産性・歩留り・均一性の観点からは、活性層に至るまでエッチングすることが望ましい。この際には陽極酸化物8、9、およびゲイト電極4、5に覆われた領域の下側の絶縁膜(ゲイト絶縁膜)には、もとの厚さの絶縁膜12、13が残される。(図10c)

【0054】その後、陽極酸化物8、9を除去した。エッチャントとしては、燐酸系の溶液、例えば、燐酸、酢酸、硝酸の混酸等が好ましい。この際、燐酸系のエッチャントにおいては、多孔質陽極酸化物のエッチングレートはバリヤ型陽極酸化物のエッチングレートの10倍以上である。したがって、バリヤ型の陽極酸化物10、11は、燐酸系のエッチャントでは実質的にエッチングさ
50

12

れないので、内側のゲイト電極を守ることができた。

【0055】この構造で加速したN型もしくはP型の不純物のイオンを活性層に注入することによって、ソース・ドレインを形成した。まず、左側の薄膜トランジスタ領域をマスク14によって覆った状態で、イオンドーピング法によって、比較的低速(典型的には、加速電圧は5~30kV)の燐イオンを照射した。本実施例では、加速電圧は20kVとし、ドーピングガスとしてはフォスフィン(PH₃)を9い、ドーズ量は $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とした。この工程では、燐イオンは絶縁膜13を透過できないので、活性層のうち、表面の露出された領域のみに燐イオンが注入され、Nチャネル型薄膜トランジスタのドレイン15、ソース16が形成された。(図10d)

【0056】次に、同じくイオンドーピング法によって、比較的高速(典型的には、加速電圧は60~120kV)の燐イオンを照射した。本実施例では、加速電圧は90kVとし、ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ とした。この工程では、燐イオンは絶縁膜13を透過して、その下の領域にも到達するが、ドーズ量が少ないので、低濃度のN型領域17、18が形成された。

(図10e)

【0057】燐イオンのドーピングが終了したのち、マスク14を除去し、今度は、Nチャネル型薄膜トランジスタをマスクして、同様に、Pチャネル型薄膜トランジスタにもソース19、ドレイン20、低濃度のP型領域21、22を形成した。そして、KrFエキシマレーザ(波長248nm、パルス幅20nsec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。

【0058】最後に、CVD法によって、全面に層間絶縁物23として酸化珪素膜を厚さ3000~6000Å形成した。そして、薄膜トランジスタのソース・ドレインにコンタクトホールを形成し、アルミニウム配線・電極24、25、26を形成した。さらに200~400℃で水素アニールをおこなった。以上によって、薄膜トランジスタを用いた相補型インバータ回路が完成した。

(図10f)

以上において、インバータ回路で説明をおこなったが、他の回路においても同様である。また、ここではコプラナ型の薄膜トランジスタについて説明したが、コプラナ型のみならず逆スタガ型など他の型の薄膜トランジスタでも本発明には対応できる。

【0059】

【発明の効果】本発明によると、例えばレーザ結晶化工程において、アナログバッファを構成するソースフォロウのしきい値電圧 V_{th} がばらついていても、ソースフォロウを並列接続するようにしたため、アナログバッファの薄膜トランジスタのしきい値電圧のばらつきを平均化することができる。

【0060】また、アナログバッファを構成するソースフォロワを複数個並列に構成し、その中の決まった数にレーザ光が重なって照射されるようにすることで、アナログバッファの特性のばらつきを抑制することができる。

【0061】具体的には、レーザ照射幅を所定の規則に従って配置されたソースフォロワの間隔の n 倍 ($n \leq 3$) とし、かつ一部のソースフォロワでレーザ光が重なるようにすることで、アナログバッファの特性を平均化することができる。即ち、レーザ光の照射回数の異なる

ソースフォロワの組合せを、複数のアナログバッファにおいて、同じものとするができるため、アナログバッファ毎の特性のばらつきを平均化することができる。

【0062】そして、このようなアナログバッファを用いることで、例えば、液晶表示装置において、表示のばらつきのないものを実現することができる。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス型表示装置における実施例のアナログバッファの回路図を示す。

【図2】 本発明によるアクティブマトリクス型表示装置における実施例のアナログバッファの回路図を示す。

【図3】 本発明によるアクティブマトリクス型表示装置における実施例のアナログバッファの回路図を示す。

【図4】 本発明によるアクティブマトリクス型表示装置における実施例のアナログバッファの回路図を示す。

【図5】 本発明によるアクティブマトリクス型表示装置における実施例のアナログバッファの回路図を示す。

【図6】 従来のアクティブマトリクス型表示装置にお

けるアナログバッファの回路図を示す。

【図7】 従来のアナログバッファ製造工程のレーザ照射の概略図を示す。

【図8】 従来のアナログバッファに使用される薄膜トランジスタ製造時のレーザ光源位置 x と薄膜トランジスタのしきい値電圧 V_{th} の関係を示す図を示す。

【図9】 従来のアクティブマトリクス型表示装置の概略図を示す。

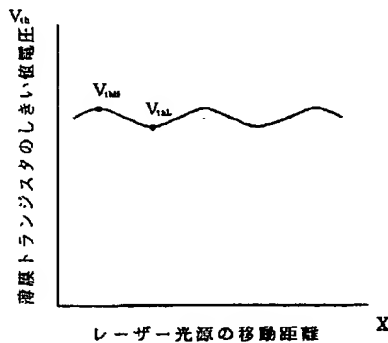
【図10】 相補型インバータ回路の製造法を示す。

【図11】 従来のノーマリホワイトの液晶素子における印加電圧と透過率の係を表した図を示す。

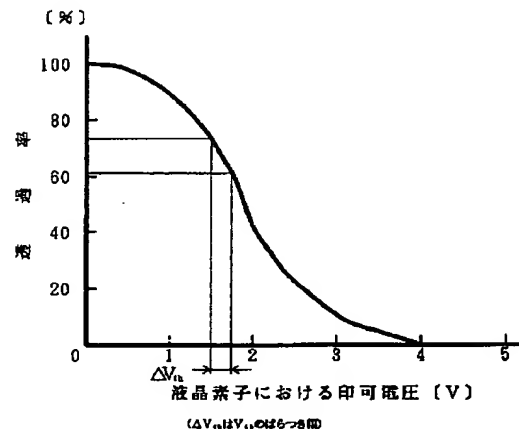
【符号の説明】

- | | |
|----------|---------------|
| 1、2 | 島状領域（活性層） |
| 3 | 酸化珪素膜（ゲイト絶縁膜） |
| 4、5 | ゲイト電極 |
| 6、7 | マスク膜 |
| 8、9 | 陽極酸化物 |
| 10、11 | バリア型の陽極酸化物 |
| 12、13 | 絶縁膜 |
| 14 | マスク |
| 15 | ドレイン |
| 16 | ソース |
| 17、18 | 低濃度のN型領域 |
| 19 | ソース |
| 20 | ドレイン |
| 20、21 | P型領域 |
| 23 | 層間絶縁物 |
| 24、25、26 | 電極 |

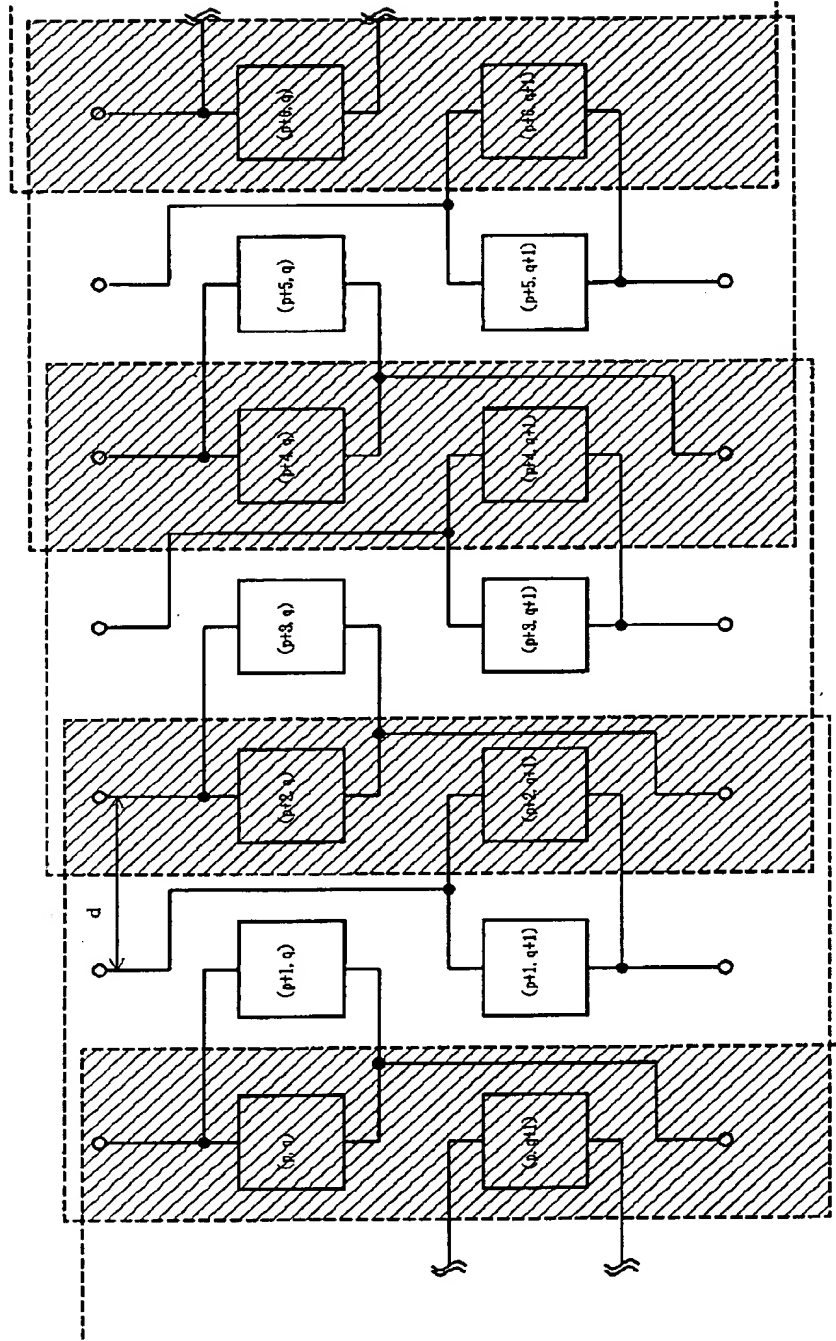
【図8】



【図11】

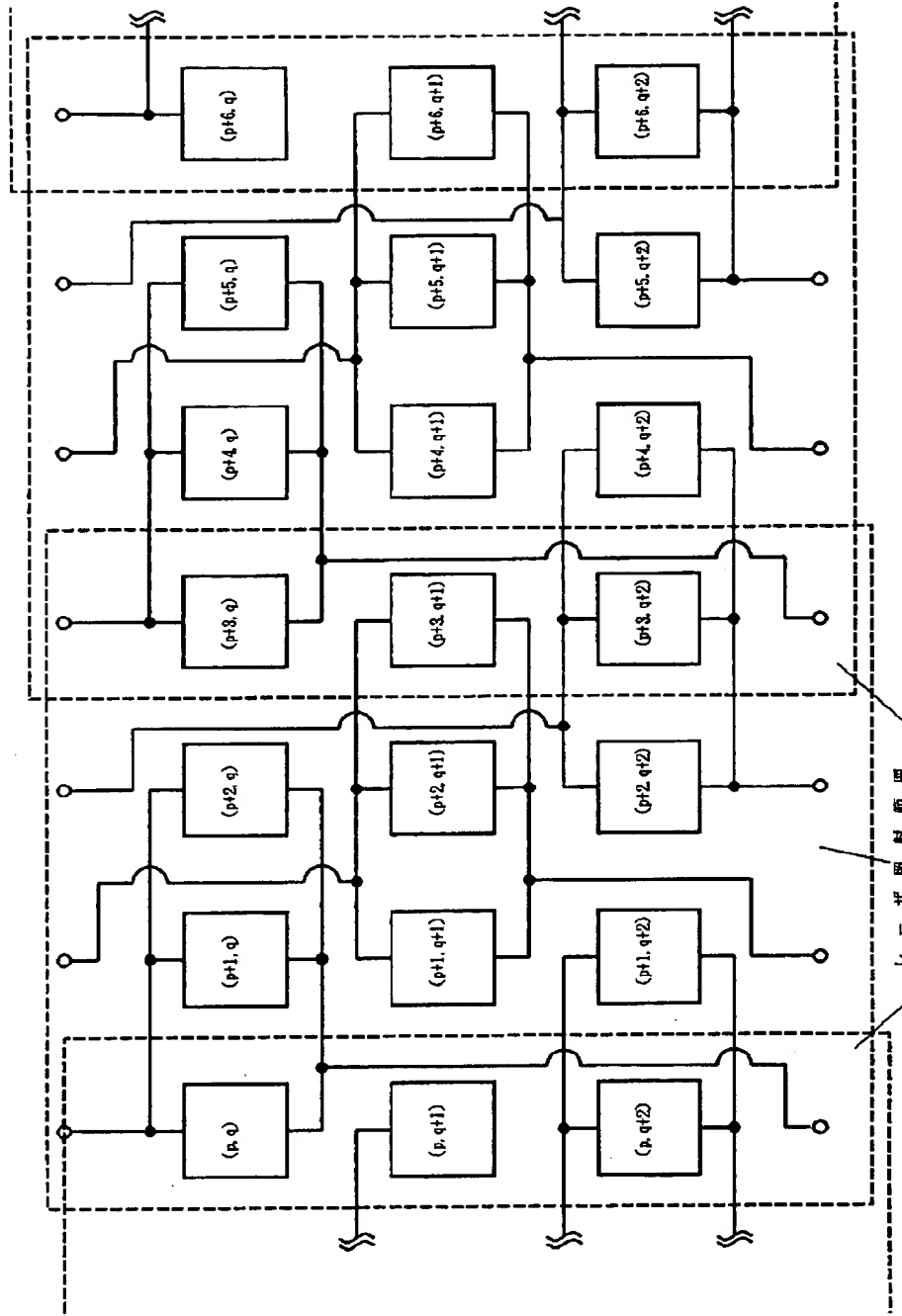


【図1】

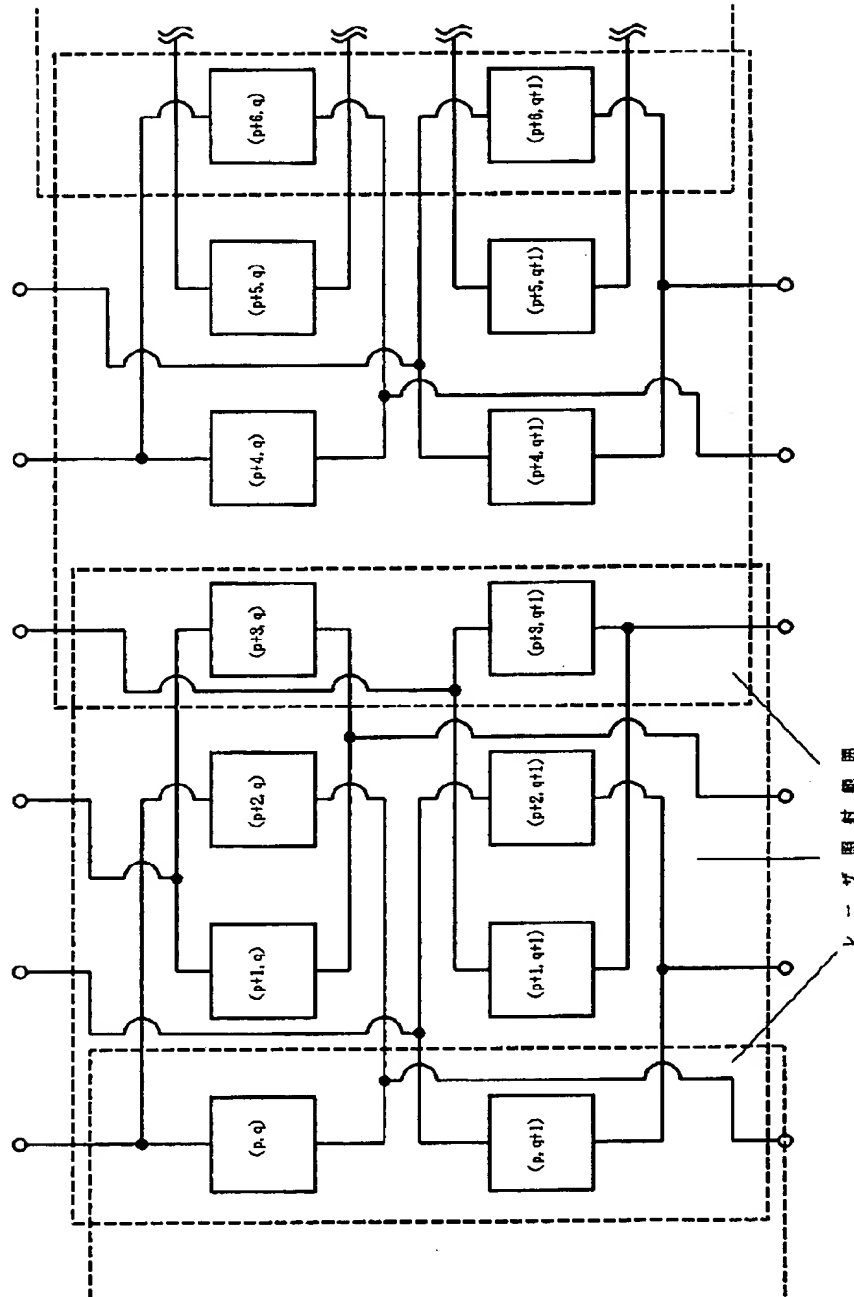


レーザ照射範囲図

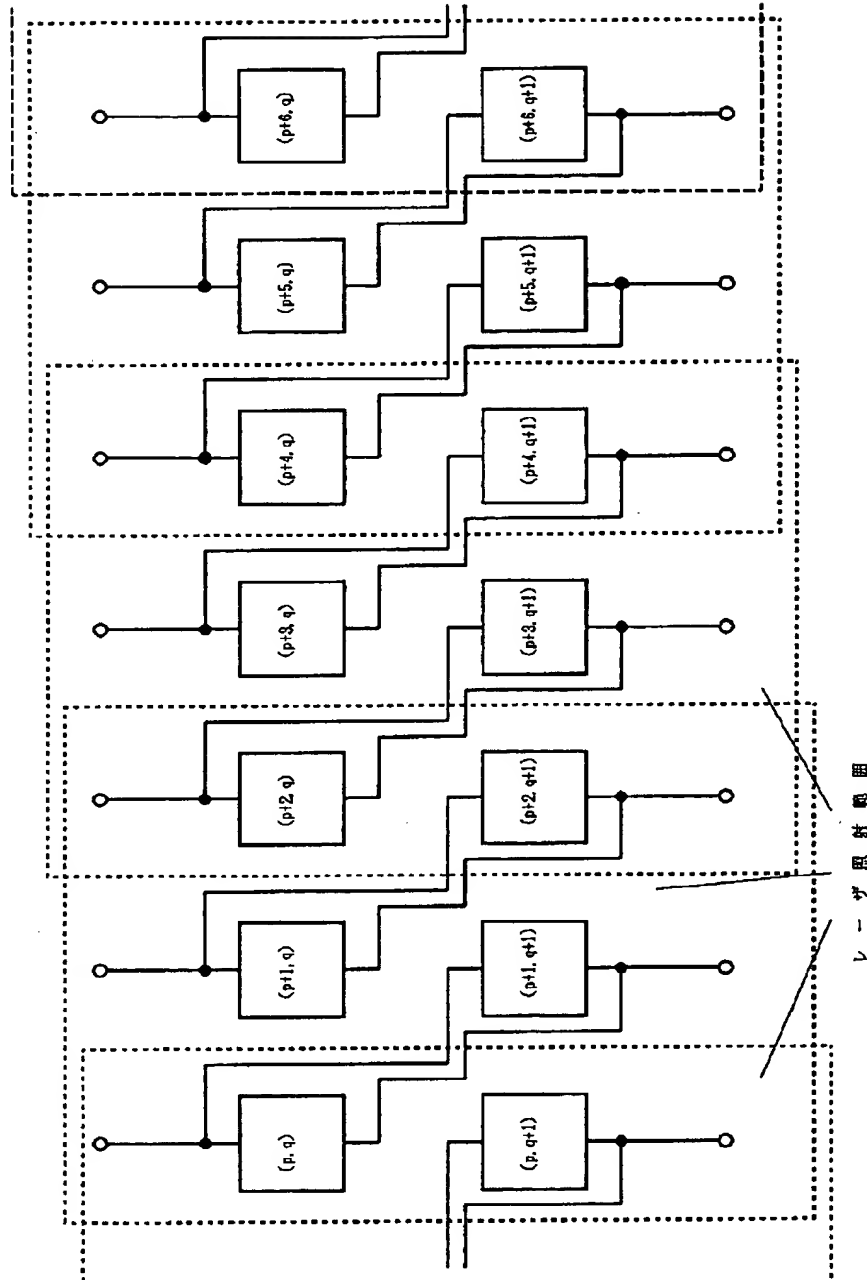
【図 2】



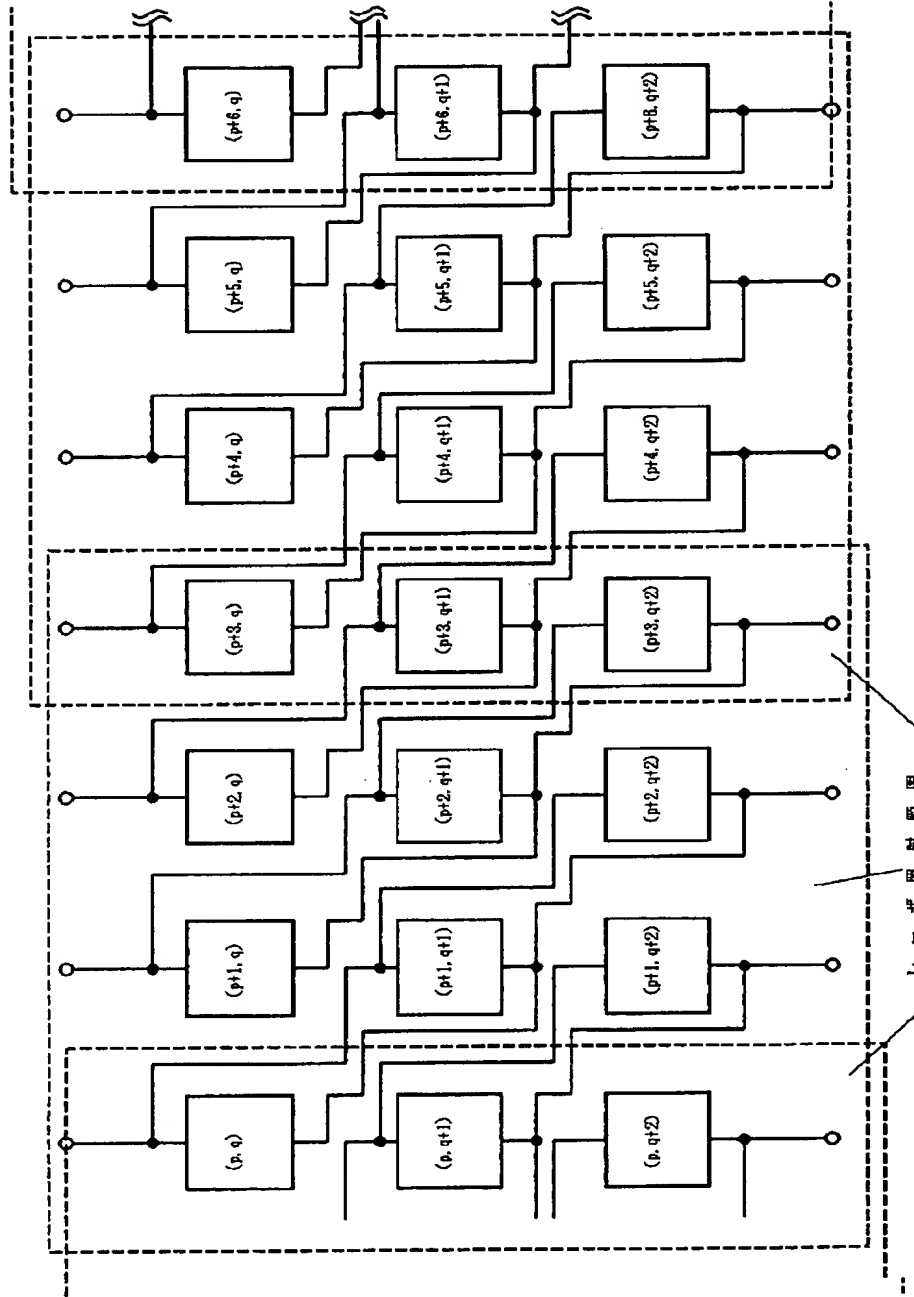
【図3】



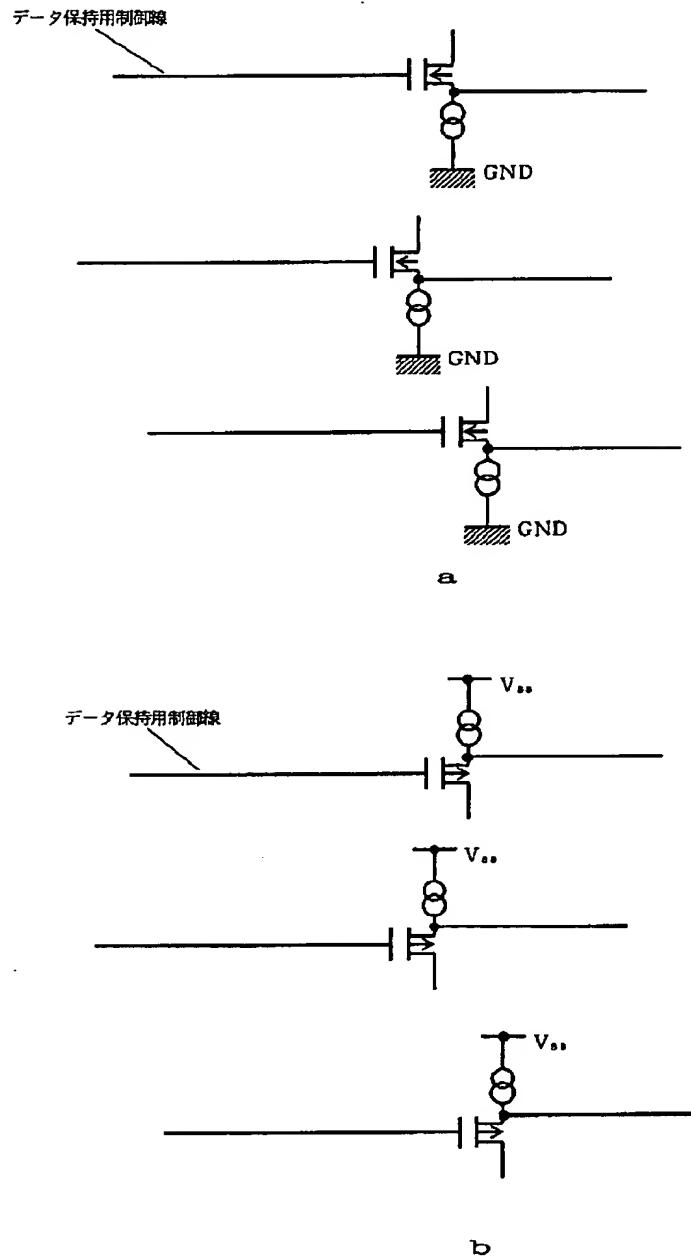
【図 4】



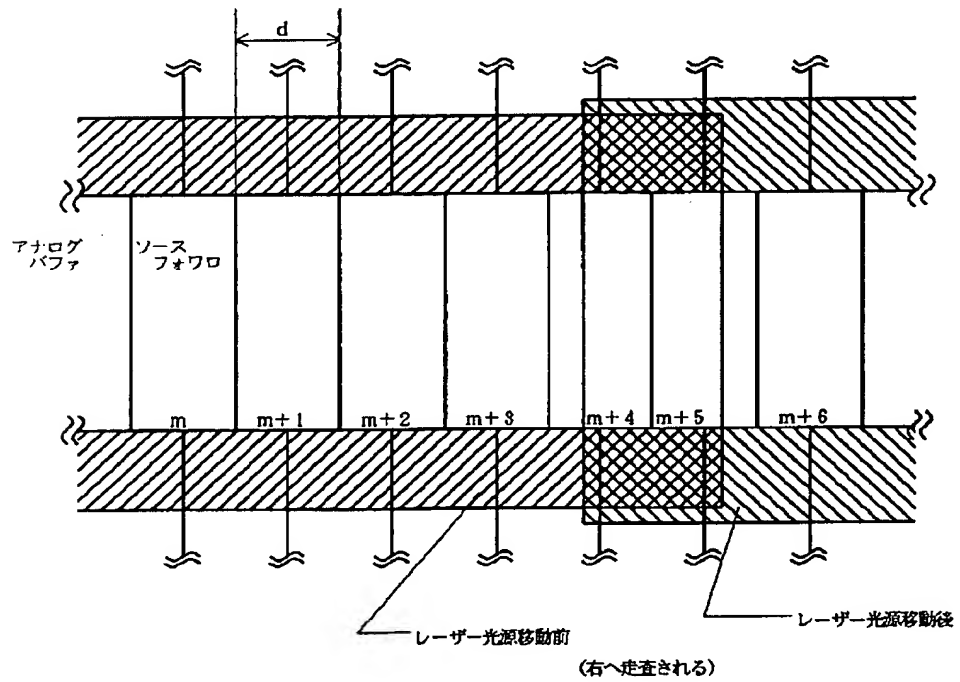
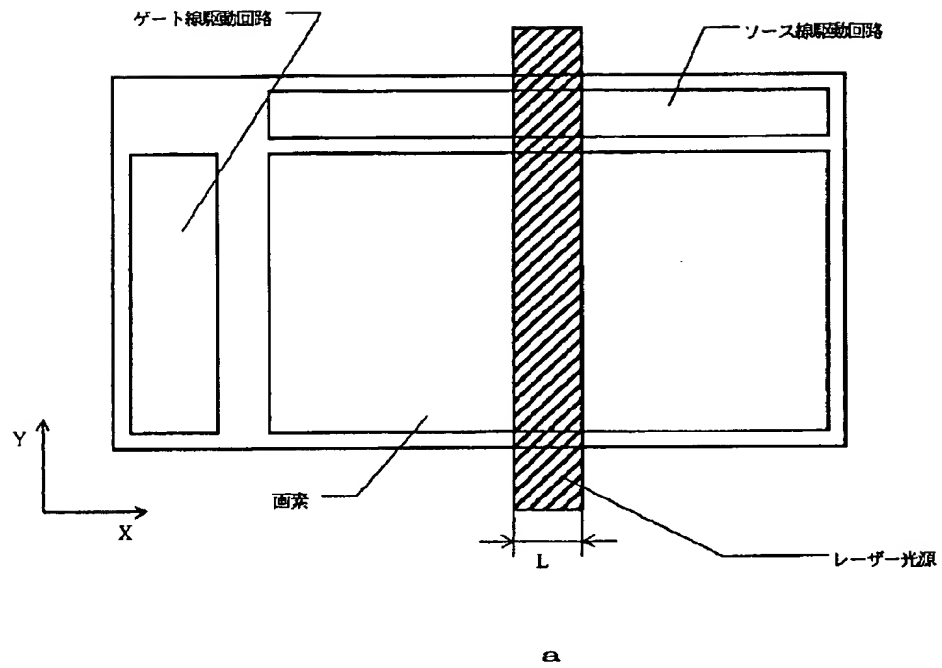
【図5】



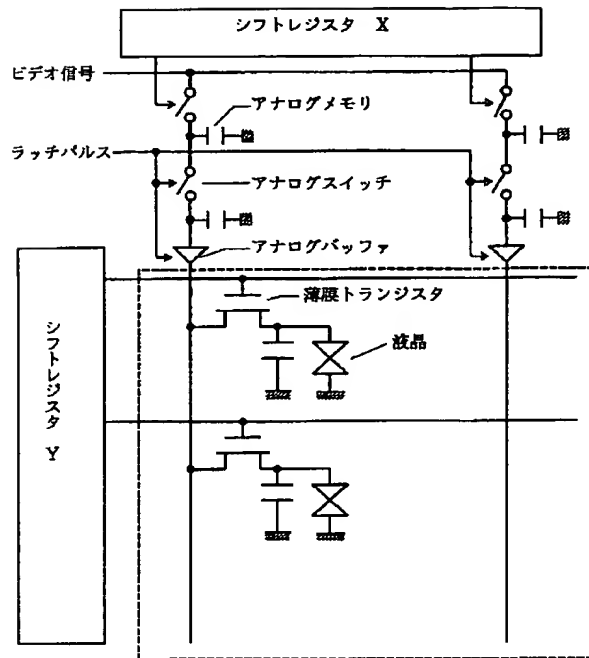
【図 6】



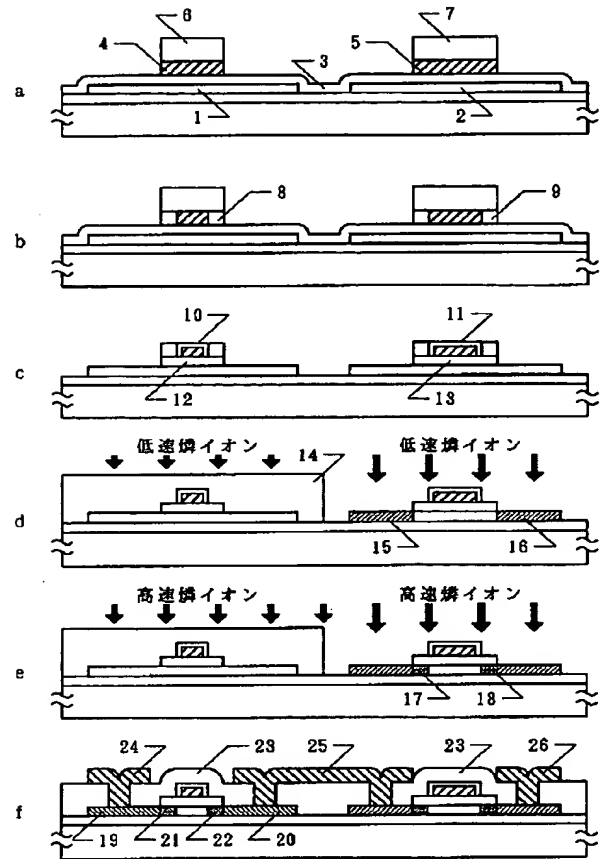
【図 7】



【図9】



【図10】



フロントページの続き

(51) Int. Cl. 6

G 0 9 F 9/30

G 0 9 G 3/36

H 0 1 L 29/786

21/336

識別記号 庁内整理番号

3 3 8 K 7426-5H

F I

技術表示箇所